

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-253942

(43)Date of publication of application : 25.09.1998

(51)Int.Cl. G02F 1/133
G02F 1/136
G09G 3/36

(21)Application number : 09-059628

(71)Applicant : ADVANCED DISPLAY:KK

(22)Date of filing : 13.03.1997

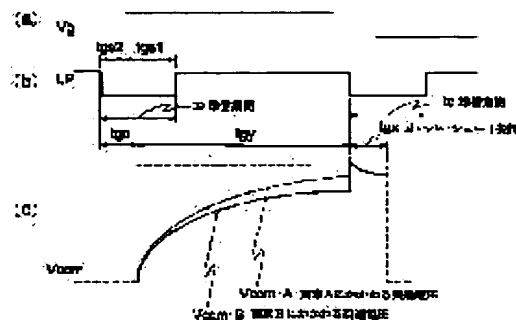
(72)Inventor : SHIBATA SUSUMU

(54) LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a crosstalk by setting the timing when a gate pulse is changed to have a high level in a setup period when the output resistance of a source driving circuit becomes a high resistance to compensate the difference between arrival voltages of common voltage due to the difference of display contents.

SOLUTION: Liquid crystal display is performed by turning on and off thin film transistors for every pixel while inputting a scanning signal to scanning lines and also inputting a display data signal to signal lines. At this time, the difference from an arrival voltage $V_{com.A}$ as to a gate bus line including a pixel A, in which the delay of the arrival voltage V_{com} of a common voltage is not generated, is compensated by overshooting an arrival voltage $V_{com.B}$ as to a gate bus line including a pixel B, in which the delay of the arrival voltage V_{com} of the common voltage is generated. That is, the arrival voltage $V_{com.B}$ of the gate bus line including the pixel B is made to be over-shoot by changing over the output resistance of the source driving circuit to the high resistance while changing an output control signal L_p to be at a low level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-253942

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
1/136	5 0 0	1/136 5 0 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平9-59628

(22) 出願日 平成9年(1997) 3月13日

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72) 発明者 柴田 晋

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

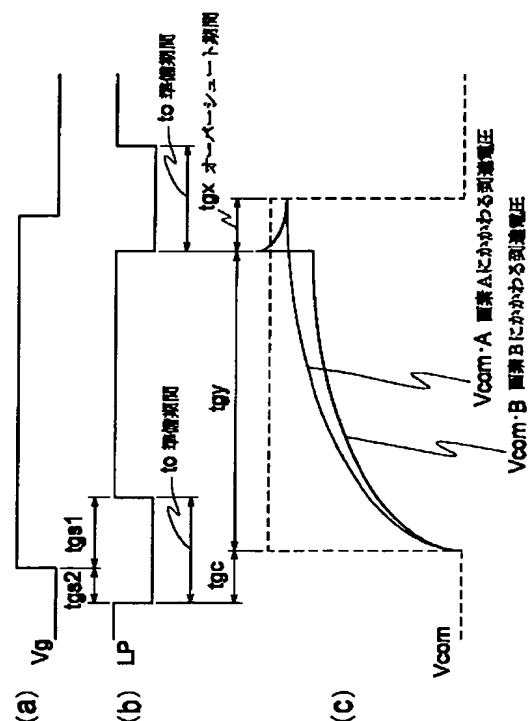
(74) 代理人 弁理士 朝日奈 宗太 (外1名)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 コモン電圧の到達電圧の差を補償してクロストークを抑制しうる液晶表示装置およびその駆動方法を提供する。

【解決手段】 本発明の液晶表示装置は、複数本の走査線、複数本の信号線、および画素ごとに薄膜トランジスタが設けられてなる基板と、共通電極が設けられてなる対向基板と、液晶と、走査線駆動回路と、信号線駆動回路とからなる液晶表示装置であって、前記走査信号がハイレベルに変化するタイミングが、前記信号線駆動回路の出力が高抵抗となる期間である準備期間内に設定されてなる。また、本発明の液晶表示装置の駆動方法は、前記画素のうちコモン電圧の到達電圧が遅延を生じている画素について、当該画素についての到達電圧をオーバーシュートさせて、到達電圧が遅延を生じていない画素についての当該到達電圧との差を補償してクロストークを抑制する。



【特許請求の範囲】

【請求項 1】 走査信号が入力される複数本の走査線、該複数本の走査線と交差しており、かつ、表示データ信号が入力される複数本の信号線、および前記走査線と前記信号線とのそれぞれの交点に能動素子としての薄膜トランジスタが設けられてなる基板と、共通電極が設けられてなる対向基板と、前記基板および前記対向基板のあいだに介在されてなる液晶と、前記走査信号を前記走査線に出力する走査線駆動回路と、前記表示データ信号を前記信号線に出力する信号線駆動回路とからなる液晶表示装置であって、前記走査信号がハイレベルに変化するタイミングが、前記信号線駆動回路の出力が高抵抗となる期間である準備期間内に設定されてなることを特徴とする液晶表示装置。

【請求項 2】 前記タイミングが、前記準備期間の開始の時点よりも $0.5 \mu s$ 後から前記準備期間の終了する $0.5 \mu s$ 前までに設定されてなる請求項 1 記載の液晶表示装置。

【請求項 3】 前記タイミングが、前記準備期間の開始の時点よりも $0.5 \mu s$ 後から $1.5 \mu s$ 後までに設定されてなる請求項 1 記載の液晶表示装置。

【請求項 4】 前記準備期間の長さが $1 \sim 5 \mu s$ である請求項 1 記載の液晶表示装置。

【請求項 5】 複数本の走査線および複数本の信号線ならびに画素ごとに薄膜トランジスタが設けられてなる基板と、共通電極が設けられてなる対向基板と、液晶とからなる液晶表示装置の駆動方法であって、(1) 前記共通電極にコモン電圧を供給し、(2) 前記走査線に走査信号を入力し、かつ前記信号線に表示データ信号を入力して前記画素ごとに前記薄膜トランジスタをオンオフして液晶表示し、(3) 前記画素のうちコモン電圧の到達電圧が遅延を生じている画素を含む走査線について、当該画素を含む走査線についての到達電圧をオーバーシュートさせることにより、到達電圧が遅延を生じていない画素を含む走査線についての当該到達電圧との差を補償してクロストークを抑制することを特徴とする駆動方法。

【請求項 6】 前記表示データ信号を供給する信号線駆動回路の出力抵抗を高抵抗に切りかえることによって、前記到達電圧が遅延を生じている画素を含む走査線についての当該到達電圧をオーバーシュートさせる請求項 5 記載の駆動方法。

【請求項 7】 前記信号線駆動回路の出力抵抗を高抵抗に切りかえる期間である準備期間の長さが $1 \sim 5 \mu s$ である請求項 6 記載の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ (thin film transistor、以下、単に TFT という) に

よって駆動される液晶表示装置 (liquid crystal displ

【0002】

【従来の技術】 図 2 は、薄膜トランジスタによって駆動される液晶表示装置 (TFT-LCD) の一般的な等価回路を示す説明図である。図 2 において、1 は TFT、2 は表示電極、3 は共通電極である対向電極である。

【0003】 従来の液晶表示装置は、主として、いずれも図示しないが、ガラスなどからなる基板と、対向基板と、クロム、アルミニウム、酸化インジウムすず (Indium Tin Oxide、ITO) などからなる電極と、窒化シリコン (SiNx) からなる絶縁膜と、アモルファスシリコン (a-Si) からなる TFT と、液晶と、走査線駆動回路 (以下、ゲート駆動回路ともいう) と、信号線駆動回路 (以下、ソース駆動回路ともいう) とによって構成される。

【0004】 前記基板上には、複数本の信号線すなわちソースバスライン X_1, X_2, \dots, X_m (m は正の整数であり、カラー表示の LCD では、通常は $640 \times 3, 800 \times 3, 1024 \times 3$ または 1280×3 などの整数) および前記複数本のソースバスラインに交差している複数本の走査線すなわちゲートバスライン Y_1, Y_2, \dots, Y_n (n は正の整数であり、通常は $480, 600, 768$ または 1024 などの整数) が設けられている。

【0005】 さらに、前記基板上には、前記ソースバスラインおよび前記ゲートバスラインによって区画される領域すなわち画素ごとに 1 個ずつ、画素の中央部に表示電極と、ソースバスラインとゲートバスラインの交点に能動素子としての TFT が設けられている。

【0006】 また、前記対向基板上に、共通電極が設けられており、前記液晶は前記基板および前記対向基板のあいだに介在するように構成されている。

【0007】 走査線駆動回路と信号線駆動回路は、前記ゲートバスラインやソースバスラインと接続しうるように前記基板の周囲に設けられる。

【0008】 つぎに、かかる液晶表示装置の駆動方法について説明する。まず、前記共通電極にコモン電圧が供給される。つぎに、前記信号線のそれぞれには表示データ信号 V_s (以下、単にデータ信号ともいう) がそれぞれ信号線駆動回路から同一タイミングで印加され、走査線のそれぞれには TFT をオン、オフするための走査信号すなわちゲートパルス V_g がそれぞれ走査線駆動回路から線順次に印加される。ここで、線順次とは、たとえば、ゲートバスライン Y_1, Y_2, \dots, Y_n が配設されている順にということである。このゲートパルスが印加されるゲート端子 (ゲートバスラインの入力端子) に生じるパルス電圧がハイレベルになると TFT がオン状態となり、ソースバスラインに印加された表示データ信号により表示電極 2 が充電されることによって、

液晶の光透過状態が変わって、液晶表示が行われる。

【0009】つぎに、データ信号の交流化の方法について説明する。一般に、TFT-LCDではデータ信号を交流化することにより、液晶に印加する電圧を交流化してTFT-LCDを駆動している。このデータ信号の交流化の周期のきめ方には、1水平走査期間 t_H 毎にデータ信号の極性を反転させるライン反転方式と、1フレーム期間 t_F 毎にデータ信号の極性を反転させるフレーム反転方式とがある。最近、LCDの利用が増大しつつあるノートパソコン等には低消費電力型のTFT-LCDが好んで使用される。低消費電力を達成するための効果的な方法としては、データ信号の交流化タイミングに同期させて、対向電極3に供給されるコモン電圧 V_{com} を交流化することによりデータ信号の振幅を低減させる方法が一般的である。このようにコモン電圧を交流化させる駆動方式のばあいは、フレーム反転方式を採用するとフリッカが発生しやすい。

【0010】このようなフリッカが発生しやすい理由を説明する。LCDはデータ信号を交流化して駆動しているが、厳密にはデータ信号の極性により、液晶に印加される電圧が異なる。通常、LCDのフレーム周波数は60Hzであり、各画素単位でデータ信号の極性を見ると正極性と負極性の電圧が60Hzずつ30Hzを周期として繰り返すことになり、わずかの輝度変動が30Hz周期で繰り返すことになり、フリッカの原因となる。このフリッカ発生対策の具体的方法として、①隣接するソースバスラインのデータ信号の極性を逆にし、各ソースバスラインのデータ信号の反転周期を60Hzとしたソースライン反転方式（コモン電圧はDC）、②隣接するゲートバスラインに対応するデータ信号の極性を逆にするライン反転方式（コモン電圧はDC、AC共に可）、③①と②を組み合わせたドット反転方式（コモン電圧はDC）などの反転方式を用いることにより、30Hz周期の輝度変動をマクロ的に相殺することにより、フリッカを抑制している。前述した「フレーム反転方式でコモン電圧を交流化させる」方法では各フレーム毎に画面全体でデータ信号の極性が同じとなるためフリッカが発生する。このような理由から、 t_H 毎にデータ信号およびコモン電圧の極性を反転させるラインコモン反転方式がよく採用される。

【0011】つぎに、ラインコモン反転方式における信号タイミングの決め方について説明する。図3は、ラインコモン反転方式の1水平期間における信号タイミングチャート図である。のちに説明するある画素について、図3の(a)は走査信号すなわちゲートパルス V_g 、図3の(b)は出力制御信号LP、図3の(c)はコモン電圧の到達電圧 V_{com} を、それぞれ出力レベルの高低により、図式的に示しており、図3の(c)の、 $V_{com} \cdot A$ は、画素Aにかかわる到達電圧、すなわち、ある画素Aを含むゲートバスラインの到達電圧であり、 $V_{com} \cdot B$ は、画素Bにかかわる到達電圧、すなわち、ある画素Bを含むゲートバスラインの到達電圧である。ここでは、画素Aが、到達電圧が遅延を生じていない画素であり、画素Bが、到達電圧が遅延を生じている画素である。

【0012】図3において、 t_{gs1} は、ゲート駆動回路からのゲートパルス V_g がハイレベルに変化してからデータ信号が出力される(LPの立ち上がり)までの期間であり、 t_{gs2} は、ゲートパルスが変化し始めてから出力準備期間の開始(LPの立ち下がり)までのずれの期間であり、 t_o は、ソース駆動回路の出力抵抗が高抵抗となる期間である準備期間であり、ここでは $t_{gs2} = t_{gs1} - t_o$ であり、 t_{ge} は V_g の立ち上がりから V_{com} の立ち上がりまでの期間であり、 ΔV_{ct} は、 $V_{com} \cdot A$ と $V_{com} \cdot B$ との差、すなわち、到達電圧の差である。

【0013】また、図3の(c)においては、1水平期間中にコモン電圧の目標電圧が設定されているようすを破線の表現によって示し、さらに前記画素Bと比較されるべき画素Aについてのコモン電圧の到達電圧をあわせて示した。ソースバスラインに表示データ信号を供給するソース駆動回路として、その出力抵抗が一定期間(通常1~3 μs 程度)数M Ω 程度の高抵抗となる期間すなわち出力準備期間(以下、単に準備期間ともいう) t_o のあるものを使用したばあいは、データ信号(図示せず)は前記出力準備期間ののち、出力制御信号LPの立ち上がり時点で出力を始める。ゲートパルス(走査信号) V_g はソース駆動回路の出力準備期間よりも時間 t_{gs2} だけ前にハイレベルに変化するように、通常は $t_{gs2} = 1 \sim 3 \mu s$ 程度に設定される。

【0014】したがって、ゲート駆動回路からのゲートパルス V_g がハイレベルに変化してからデータ信号が出力されるまでの期間 t_{gs1} は、 $t_{gs1} = t_{gs2} +$ 準備期間となる。また、コモン電圧の極性反転は、通常ソース駆動回路の準備期間内に設定されるので、ゲートパルス V_g がハイレベルに変化してから極性反転されたコモン電圧が立ち上がるまでの時間 t_{ge} は、 $t_{gs2} \leq t_{ge} \leq t_{gs1}$ となっている。

【0015】したがって、ゲート駆動回路からのゲートパルス V_g がハイレベルに変化してからデータ信号が出力されるまでの期間 t_{gs1} は、 $t_{gs1} = t_{gs2} +$ 準備期間となる。また、コモン電圧の極性反転は、通常ソース駆動回路の準備期間内に設定されるので、ゲートパルス V_g がハイレベルに変化してから極性反転されたコモン電圧が立ち上がるまでの時間 t_{ge} は、 $t_{gs2} \leq t_{ge} \leq t_{gs1}$ となっている。

【0015】

【発明が解決しようとする課題】共通電極である対向電極には交流化されたコモン電圧が印加されるが、液晶表示パネル内部ではコモン電圧は対向電極と他の電極とのあいだの容量および対向電極の抵抗によって到達電圧が遅延を生じるので、TFTがオフするまでの1水平期間では目標値である目標電圧に到達できない。

【0016】また、コモン電圧の到達電圧は1ゲートバスラインにおける全画素の表示内容によって異なる。図4は、クロストークが生じる表示パターンを説明する説明図である。図中、点A、Bは、ある画素を示しており、また斜線で表現した部分が黒表示BLであり、それ

5
 以外は中間階調表示MDであることを示している。さらに、一点鎖線の表現により画素AまたはBを含むゲートバスラインをそれぞれ示した。

【0017】たとえば、図4に示すような中間階調表示のラスタパターンの上に黒表示を重ねるようなウィンドウパターンを表示したばあい、図4中に示した画素Aを含むゲートバスラインにおける全画素の表示内容としした画素Bを含むゲートバスラインにおける全画素の表示内容は互いに異なっている。すなわち、画素Aを含むゲートバスラインにおける全画素の表示内容は、すべて中間階調表示MDであるのに対し、画素Bを含むゲートバスラインにおける全画素の表示内容は、黒表示BLと中間階調表示MDとの両方を含んでいる。このような表示内容の違いにより、画素Aを含むゲートバスラインに比べて画素Bを含むゲートバスラインを走査するほうが共通電圧の到達電圧の遅延が大きくなるので、このときパネル内部の共通電圧は図3に示すように、画素Bにかかわる到達電圧すなわち画素Bを含むゲートバスラインについての共通電圧の到達電圧 $V_{com} \cdot B$ は、画素Aにかかわる到達電圧すなわち画素Aを含むゲートバスラインについての共通電圧 $V_{com} \cdot A$ よりもつねに低くなる。

【0018】したがって、共通電圧の到達電圧と目標電圧の差は画素Bの方が大きくなる。このような状況のもとで前述の信号タイミングチャートにしたがってTF-TLCDを駆動したばあい、画素Bに印加される共通電圧は画素Aに印加される共通電圧に比べて到達電圧の差 ΔV_{ct} だけ小さくなり、画素Bが画素Aに比べて明るい表示となるクロストークが発生する。

【0019】

【課題を解決するための手段】本発明の液晶表示装置ではゲートパルスがハイレベルに変化するタイミングをソース駆動回路の出力抵抗が高抵抗となるいわゆる準備期間内に設定することにより、TF-Tがオフする直前の共通駆動回路の負荷を実効的に減少させ、遅延が生じている共通電圧の到達電圧をオーバーシュートさせて、遅延を生じていない到達電圧との差 ΔV_{ct} を補償してクロストークを抑制することを特徴とする。

【0020】このために本発明の液晶表示装置は、走査信号が入力される複数本の走査線、該複数本の走査線と交差しており、かつ、表示データ信号が入力される複数本の信号線、および前記走査線と前記信号線とのそれぞれの交点に能動素子としての薄膜トランジスタが設けられてなる基板と、共通電極が設けられてなる対向基板と、前記基板および前記対向基板のあいだに介在されてなる液晶と、前記走査信号を前記走査線に出力する走査線駆動回路と、前記表示データ信号を前記信号線に出力する信号線駆動回路とからなる液晶表示装置であって、前記走査信号がハイレベルに変化するタイミングが、前記信号線駆動回路の出力が高抵抗となる期間である準備

期間内に設定されてなることを特徴とする。

【0021】前記タイミングが、前記準備期間の開始の時点よりも0.5 μ s後から前記準備期間の終了する0.5 μ s前までに設定されてなることが、前記準備期間が1~5 μ sであり、かつ、この期間内に V_g が変化するとともに、オーバーシュートした V_{com} がある程度所望の電圧に減衰する必要がある、その値としてそれぞれ0.5 μ s必要であるという点で好ましい。

10 【0022】前記タイミングが、前記準備期間の開始の時点よりも0.5 μ s後から1.5 μ s後までに設定されてなることが、前記準備期間が1~5 μ sであり、かつ、この期間内に V_g が変化するとともに、オーバーシュートした V_{com} がある程度所望の電圧に減衰する必要がある、より減衰を確実にするため、その値として1 μ s必要であるという点で好ましい。

20 【0023】前記準備期間の長さが1~5 μ sであることが、前記準備期間が長すぎると所望の電圧を画素に充電する実効的な充電時間が小さくなり、コントラストの低下や、クロストークの増加などの画素劣化の原因となり、また、小さすぎるとゲート信号の遅延の影響により、次ラインのデータを再充電することになり文字のにじみなどの画質劣化などの不具合が発生するので、これらの不具合の発生を防止する点で好ましい。

30 【0024】本発明の液晶表示装置の駆動方法は、複数本の走査線および複数本の信号線ならびに画素ごとに薄膜トランジスタが設けられてなる基板と、共通電極が設けられてなる対向基板と、液晶とからなる液晶表示装置の駆動方法であって、(1)前記共通電極に共通電圧を供給し、(2)前記走査線に走査信号を入力し、かつ前記信号線に表示データ信号を入力して前記画素ごとに前記薄膜トランジスタをオンオフして液晶表示し、

(3)前記画素のうち共通電圧の到達電圧が遅延を生じている画素を含む走査線について、当該画素を含む走査線についての到達電圧をオーバーシュートさせることにより、到達電圧が遅延を生じていない画素を含む走査線についての当該到達電圧との差を補償してクロストークを抑制することを特徴とする。

40 【0025】前記表示データ信号を供給する信号線駆動回路の出力抵抗を高抵抗に切りかえることによって、前記到達電圧が遅延を生じている画素を含む走査線についての当該到達電圧をオーバーシュートさせることが、通常、クロストークを低減させる(ΔV_{ct} を減少させる)ためには共通電極の抵抗を減少させたり、 V_{com} 発生回路の駆動能力増加をはかるなどの手段が考えられるが、いずれの手段もあらたなコストが発生するが、 V_{com} をオーバーシュートさせる方法はあらたなコストの発生がない点で好ましい。

50 【0026】前記信号線駆動回路の出力抵抗を高抵抗に切りかえる期間である準備期間の長さが1~5 μ sであることが、この期間が長すぎると所望の電圧を画素に充

電する実効的な充電時間が小さくなり、コントラストの低下や、クロストークの増加などの画質劣化の原因となり、また、小さすぎるとゲート信号の遅延の影響により、次ラインのデータを再充電することになり文字のにじみなどの画質劣化などの不具合が発生するので、これらの不具合の発生を防止する点で好ましい。

【0027】

【発明の実施の形態】以下、添付図を参照しつつ、さらに詳細に本発明の液晶表示装置について説明する。

【0028】実施の形態1

本発明の実施の形態1にかかわる液晶表示装置の構成は従来と同様であるので、その説明を省略し、クロストークを抑制しうる駆動方法について説明する。まず、ソース駆動回路の準備期間のタイミングのとり方について説明する。図1は、本発明の実施の形態1にかかわる、1水平期間における信号タイミングチャート図であり、出力レベルの高低により図式的に示しており、図1は図3と同様に表現されている。図1において、図1の(a)の V_g はゲートバスラインに印加されるゲートパルスであり、図1の(b)の LP はソースバスラインに印加される表示データ信号 V_s の出力制御を行う出力制御信号であり、図1の(c)の V_{com} はコモン電圧の到達電圧であり、 $V_{com} \cdot A$ は、画素Aにかかわる到達電圧、すなわち、ある画素Aを含むゲートバスラインの到達電圧であり、 $V_{com} \cdot B$ は、画素Bにかかわる到達電圧、すなわち、ある画素Bを含むゲートバスラインの到達電圧である。ここでは、画素Aが、到達電圧が遅延を生じていない画素であり、画素Bが、到達電圧が遅延を生じている画素である。

【0029】また、 t_{gs1} は、ゲート駆動回路からのゲートパルス V_g がハイレベルに変化してからデータ信号が出力される(LP の立ち上がり)までの期間であり、 t_{gs2} は準備期間の開始(LP の立ち下がり)からゲートパルスが変化し始めるまでのずれの期間であり、 t_o は、準備期間、すなわち、ソース駆動回路の出力抵抗が高抵抗とされる期間である出力準備期間である。図3に示される従来例では、 V_g の立ち上がりの方が先であるため、 t_{gs2} は、ゲートパルスが変化し始めてから準備期間の開始までの期間としたが、図1に示される本実施の形態においては V_g がハイレベルに変化するタイミングが準備期間内に設定されるので、 t_{gs2} は、準備期間の開始から V_g が変化し始めるまでの期間となる。このため、 t_{gs2} は、前記ずれの期間として表わした。したがって、ここでは、 t_{gs2} は、 $t_{gs2} = t_o - t_{gs1}$ である。

【0030】 t_{gc} は、準備期間の開始の時点から、 V_{com} の立ち上り時点までの期間であり、 t_{gx} は $V_{com} \cdot B$ がオーバーシュートするオーバーシュート期間であり、ここでは t_{gx} は t_{gc} に等しく、 t_{gy} は、 V_{com} が充電される期間のうち、 $V_{com} \cdot B$ がオー

バーシュートする期間を除いた期間である。

【0031】本実施の形態1においては、準備期間 t_o の長さは、 $1 \sim 5 \mu s$ とする。このように準備期間 t_o を $1 \sim 5 \mu s$ とするばあい、 t_{gs1} は、準備期間の開始の時点よりも $0.5 \mu s$ 後から準備期間の終了する $0.5 \mu s$ 前までの範囲、とりわけ準備期間の開始の時点よりも $0.5 \mu s$ 後から $1.5 \mu s$ 後までの範囲で設定するのが好ましい。このように、走査信号がハイレベルに変化するタイミングが、準備期間の開始の時点よりも $0.5 \mu s$ 後から準備期間の終了する $0.5 \mu s$ 前までに設定される理由は、準備期間が $1 \sim 5 \mu s$ であり、かつ、この期間内に V_g が変化するとともに、オーバーシュートした V_{com} がある程度所望の電圧に減衰する必要がある、その値として $0.5 \mu s$ 必要であるためである。

【0032】また、別の好ましい例として、走査信号がハイレベルに変化するタイミングが、準備期間の開始の時点よりも $0.5 \mu s$ 後から $1.5 \mu s$ 後までに設定される理由は、準備期間が $1 \sim 5 \mu s$ であり、かつ、この期間内に V_g が変化するとともに、オーバーシュートした V_{com} がある程度所望の電圧に減衰する必要がある、より減衰を確実にするため、その値として $1 \mu s$ 必要であるためである。本実施の形態においては t_{gs2} を $1 \mu s$ 程度に設定し、 V_g がハイレベルに変化するタイミング(TFTがオフするタイミング)をソース駆動回路の準備期間内に設定する。すなわち、 $t_{gs1} + t_{gs2} = \text{準備期間}$ とする。また、コモン電圧の極性反転のタイミングは、ソース駆動回路の準備期間内に設定する。

【0033】つぎに、前述したように走査信号がハイレベルに変化するタイミングを準備期間中に設定したばあいの駆動方法について説明する。まず、共通電極である対向電極にコモン電圧を供給したのち、走査線に走査信号を入力し、かつ信号線に表示データ信号を入力して画素ごとに薄膜トランジスタをオンオフして液晶表示する。このとき、コモン電圧の到達電圧が遅延を生じている画素、たとえば図1における画素Bを含むゲートバスラインについての到達電圧 $V_{com} \cdot B$ を、オーバーシュートさせて、遅延を生じていない画素、たとえば図1における、画素Aを含むゲートバスラインについての到達電圧 $V_{com} \cdot A$ との差を補償する。すなわち、出力制御信号をロウレベルに変化させてソース駆動回路の出力抵抗を高抵抗に切りかえることによって画素Bを含むゲートバスラインの到達電圧 $V_{com} \cdot B$ をオーバーシュートさせることができる。このとき、ソース駆動回路が高抵抗となっているため、コモン駆動回路の負荷は実効的に減少することになる。

【0034】コモン駆動回路の負荷が実効的に減少することにより、このときの図3の画素Bの V_{com} 波形は、図1に示すように、ソース駆動回路が高抵抗に切り

替わる瞬間にオーバーシュートを起こす。このように、 $V_{com} \cdot B$ をオーバーシュートさせるためにソース駆動回路の出力抵抗を高抵抗に切りかえて、つぎの水平期間にかかわる準備期間 t_o を開始させる。この準備期間の長さは $1 \sim 5 \mu s$ に設定する。このように、ソース駆動回路の出力抵抗を高抵抗に切りかえる期間の長さを設定する理由は、この期間が長すぎると所望の電圧を画素に充電する実効的な充電時間が小さくなり、コントラストの低下や、クロストークの増加などの画質劣化の原因となり、また、小さすぎるとゲート信号の遅延の影響により、次ラインのデータを再充電することになり文字のにじみなどの画質劣化が発生することなどの不具合が発生するので、これらの不具合の発生を防止するためである。

【0035】このオーバーシュートによる波形の変動は、 V_{com} 回路の負荷が減少するために起こるので、変動の方向は図3に示す ΔV_{ct} を補償する方向であり、図3に示すように、 $V_{com} \cdot B$ が $V_{com} \cdot A$ よりも低レベルにある期間 t_{gy} における $V_{com} \cdot B$ と $V_{com} \cdot A$ との差と、 $V_{com} \cdot B$ がオーバーシュートして $V_{com} \cdot A$ よりも高レベルにある期間 t_{gx} における $V_{com} \cdot B$ と $V_{com} \cdot A$ との差とを補償するように ΔV_{ct} を補償することにより、クロストークが低減される。このようにオーバーシュートさせる期間の長さ t_{gx} を変えることにより、前記 ΔV_{ct} の補償の程度を変えることができる。また、このようにオーバーシュートの大きさ、期間の長さは表示電極容量および共通電極抵抗などで決まるため、様々な負荷（様々な大き

さのLCD）に対して最適値を設定できる。

【0036】

【発明の効果】以上に説明したように本発明では、TFTがオフするタイミングをソース駆動回路の出力抵抗が高抵抗となる準備期間内に設定することにより、TFTがオフする直前の共通駆動回路の負荷を実効的に減少させて、ソース駆動回路の出力抵抗が高抵抗となる瞬間に共通電圧に、意図的にオーバーシュートを発生させることにより、表示内容の違いによる共通電圧の到達電圧の差を補償して、クロストークを抑制することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の液晶表示装置の信号タイミングチャート図である。

【図2】従来の液晶表示装置の等価回路図である。

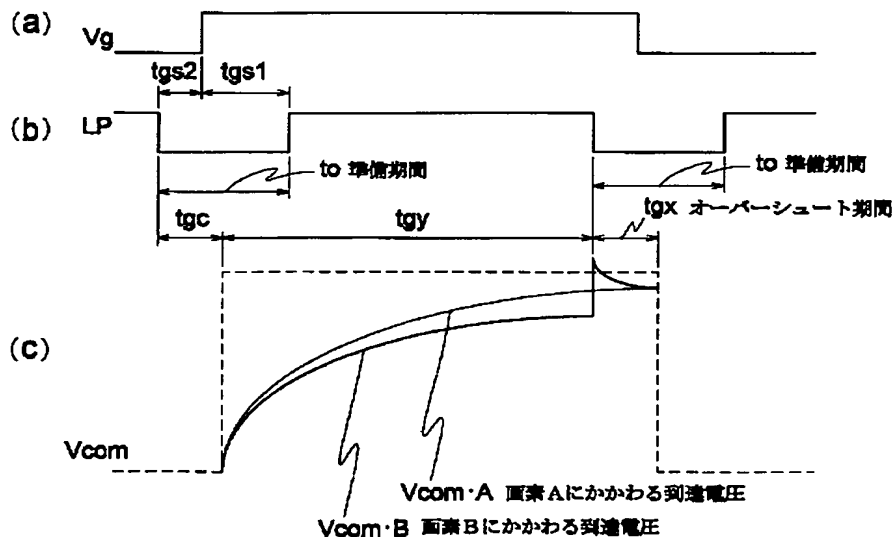
【図3】従来の液晶表示装置の信号タイミングチャート図である。

【図4】クロストークが生じる表示パターンを説明する説明図である。

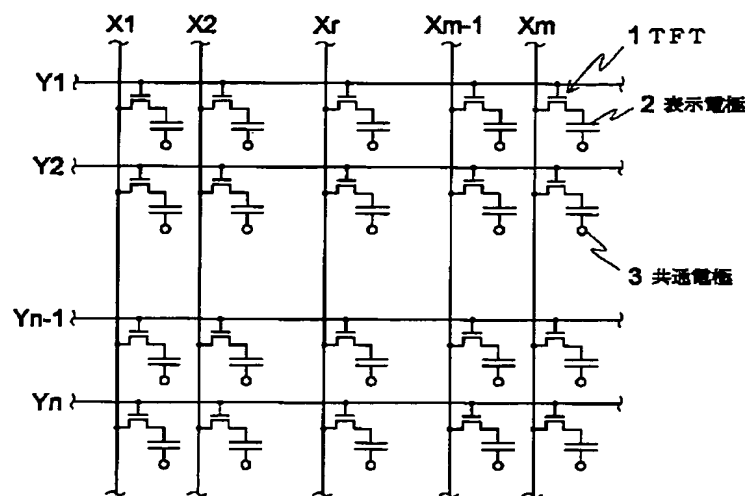
【符号の説明】

- 1 TFT
- 2 表示電極
- 3 対向電極
- $V_{com} \cdot A$ 画素Aにかかわる到達電圧
- $V_{com} \cdot B$ 画素Bにかかわる到達電圧
- t_o 準備期間
- t_{gx} オーバーシュート期間

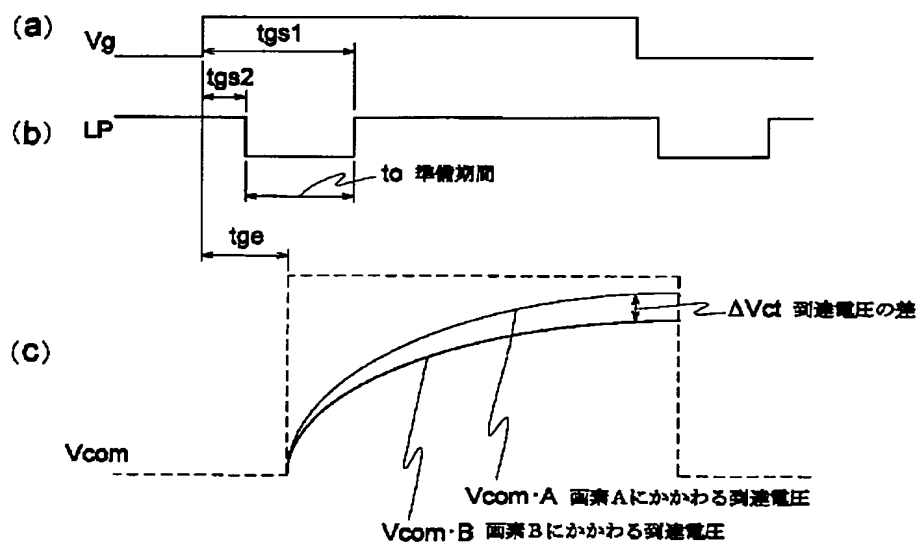
【図1】



【図2】



【図3】



【図4】

